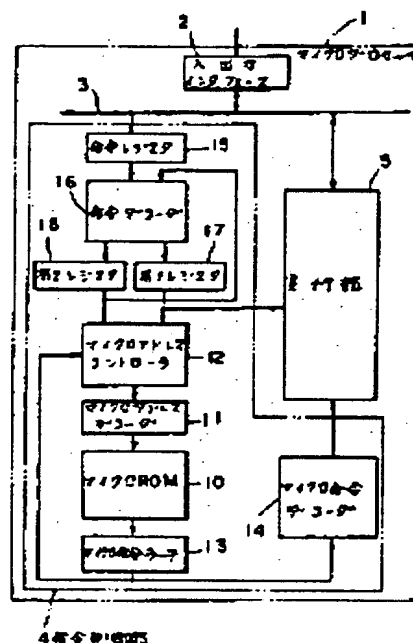


Patent number: JP2252025
Publication date: 1990-10-09
Inventor: HASEGAWA ATSUSHI; YOSHIOKA SHINICHI; NARITA SUSUMU
Applicant: HITACHI LTD;; HITACHI MICROCOMPUTER ENG
Classification:
- International: G06F9/32
- european:
Application number: JP19890070657 19890324
Priority number(s): JP19890070657 19890324

Report a data error here

PURPOSE:To miniaturize a decoding part for executing an instruction while dividing the instruction and partially interpreting the divided instruction by providing the data processor with an instruction decoder for returning the interpreted result of an instruction to an input and interpreting the residual information of the instruction. **CONSTITUTION:**A

microinstruction inputted through an I/O interface of a microprocessor 1 is fetched by an instruction register 15 in an instruction control part 4, interpreted by the instruction decoder 16 and applied to a microaddress controller 12 through the 1st and 2nd registers 17, 18 and the holding information of the register 18 is returned to the input of the decoder 16. Then, the information to be successively interpreted is modified based upon the returned information. Thereby, the instruction decoder 16 can be used in common for the interpretation of two elements at least in an instruction consisting of plural elements respectively including the information to be interpreted, so that the decoding part for executing the instruction while dividing the instruction and partially interpreting the divided instruction can be miniaturized.



Data supplied from the **esp@cenet** database - Worldwide

THIS PAGE BLANK . . .

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-252025

⑬ Int. Cl.⁵

G 06 F 9/32

識別記号

3 5 0 A

庁内整理番号

7361-5B

⑭ 公開 平成2年(1990)10月9日

審査請求 未請求 請求項の数 6 (全9頁)

⑮ 発明の名称 データ処理装置

⑯ 特 願 平1-70657

⑰ 出 願 平1(1989)3月24日

⑱ 発 明 者 長 谷 川 淳 東京都小平市上水本町5丁目22番1号 日立マイクロコンピュータエンジニアリング株式会社内
⑲ 発 明 者 吉 岡 真 一 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内
⑳ 発 明 者 成 田 進 東京都国分寺市東恋ヶ窪1丁目480番地 株式会社日立製作所中央研究所内
㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉒ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上水本町5丁目22番1号
㉓ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

データ処理装置

2. 特許請求の範囲

1. 命令を複数回に分けて部分的に解釈しながらその命令を実行するデータ処理装置であって、命令の解釈結果の一部又は全部を入力に戻し、その戻された情報に基づいて、当該命令の残りの情報に対する解釈に修飾を与える命令デコーダを備えたデータ処理装置。
2. 上記命令デコーダの入力に戻すべき情報を保持すると共に、命令デコーダに新たな情報が入力されるタイミングに同期してその保持情報を命令デコーダの入力に戻すレジスタを設けた請求項1記載のデータ処理装置。
3. 上記命令デコーダは、単数もしくは複数の要素から成る可変長の命令を要素単位で解釈し、入力に戻される解釈結果に基づいて、解釈すべき情報が可変長命令の第何番目の要素かを判定し、この判定結果に応じて情報の解釈論理が可

変にされて成るものである請求項1又は2記載のデータ処理装置。

4. 上記命令デコーダは、オペランドのアドレッシングモードを示す情報の解釈結果を入力に戻し、戻されたその情報と当該命令の残りの情報の解釈結果に基づいて不当命令の検出を可能にされて成るものである請求項1又は2記載のデータ処理装置。
5. 上記命令デコーダは、入力に戻される解釈結果に基づいて、解釈すべき情報を含む領域に対する意味付けを変えて当該解釈を行うようにされて成る請求項1又は2記載のデータ処理装置。
6. 上記命令デコーダは、オペレーションコードによって指定される処理の詳細を示すための情報の解釈結果を入力に戻して当該命令に含まれる別のオペレーションコードの解釈を修飾可能にされて成るものである請求項1又は2記載のデータ処理装置。

3. 発明の詳細な説明

[産業上の利用分野]

THIS PAGE BLANK (USPTO)

本発明は、命令を複数回に分けて部分的に解釈しながらその命令を実行するデータ処理技術、さらには命令の一部が当該命令の他の部分の解釈に影響を与える命令体系に適用可能なデータ処理装置に開始、例えば可変長命令の解釈に適用して有効な技術に関するものである。

〔従来技術〕

データ処理の高機能化のために、可変長命令を処理するアーキテクチャを有するプロセッサがある。斯るプロセッサは、例えば1ワードの命令のほかに2ワードの以上の命令を実効可能にされている。このような命令を解釈するためのデコード部は、例えば米国特許第4241397号に記載されているように、命令の先頭の1ワードをデコードするデコーダと、これに続く命令ワードを先の解釈結果により修飾して解釈を与えるための単数もしくは複数の別のデコーダを有している。

〔発明が解決しようとする課題〕

しかしながら、可変長命令のような命令を複数回に分けて部分的に解釈するためのデコード部を

まう。

本発明の目的は、命令を複数回に分けて部分的に解釈しながらその命令を実行させるためのデコード部を小型化することにある。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

すなわち、命令を複数回に分けて部分的に解釈しながらその命令を実行するデータ処理装置の命令デコード部に、命令の解釈結果の一部又は全部を入力に戻し、その戻された情報に基づいて、当該命令の残りの情報に対する解釈に修飾を与える命令デコーダを含めるものである。

命令の解釈結果を命令デコーダの入力に戻す制御を、命令フェッチのための制御手順に整合させるには、命令デコーダに新たな情報が入力されるタイミングに同期して保持情報を命令デコーダの入力に与えるレジスタを設けることが望ましい。

デコーダの入力に戻される情報は命令長や命令の類型を示すような情報などの解釈結果とするこ

複数個の個別的なデコーダによって構成すると、命令の解釈上共通論理があっても、デコーダのハードウェアを一連の命令の解釈に共通利用することができない。また、ヒューズによってプログラムされるようなアンド面やオア面を主体にして成るPLA（プログラマブル・ロジック・アレイ）や、不揮発性記憶素子に対する書き込み/消去状態に応じて所要の論理を構成するPAL（プログラマブル・ロジック・アレイ）で成るようなデコーダには、内部の所要ノードを拘束動作上望ましいレベルに予め強制するためのプリチャージ回路、さらには、増大する回路規模や記憶容量によって微小になる出力信号即ち命令の解釈結果を検出し、これを増幅するためのセンスアンプ回路などの周辺回路を設けて、デコーダによる命令の解釈を高速化する傾向にあるため、従来のようにデコーダを個別的に複数個設けた場合にはそのような周辺回路も個別的に追加しなければならない。この結果、命令を解釈するために複数個のデコーダを持つデコード部ではチップの占有面積が増大してし

とができ、デコーダによる修飾のための論理はその情報の種類に応じて決定されている。例えば単数もしくは複数の要素から成る可変長の命令を命令デコーダが要素単位で解釈するとき、入力に戻される解釈結果に基づいて、解釈すべき情報が可変長命令の第何番目の要素かを判定し、この判定結果に応じて情報の解釈論理を可変可能にデコーダを構成することができる。また、オペランドのアドレッシングモードを示す情報の解釈結果を入力に戻して、不当命令の検出を行うような論理を採用することができる。また、入力に戻される解釈結果に基づいて、解釈すべき情報を含む領域に対する意味付けを変えて当該解釈を行うような論理を採用することができる。さらに、オペレーションコードによって指定される処理の詳細を示すための情報の解釈結果を入力に戻して当該命令に含まれる別のオペレーションコードの解釈を修飾するような論理を採用することもできる。

〔作用〕

上記した手段によれば、命令の解釈結果の一部

THIS PAGE BLANK (USPTO)

又は全部を入力に戻し、その戻された情報に基づいて情報の解釈に修飾を与える命令デコーダは、解釈すべき情報を夫々含む複数の要素から成る命令に対し、最低2つの要素の解釈に共通利用可能とされ、これにより、命令を複数回に分けて部分的に解釈しながらその命令を実行させるデコード部の小型化を達成するものである。

〔実施例〕

第1図には本発明の一実施例であるマイクロプロセッサのブロック図が示される。このマイクロプロセッサ1は、特に制限されないが、公知の半導体集積回路製造技術によってシリコンのような1個の半導体基板に形成されている。

同図に示されるマイクロプロセッサ1は、特に制限されないが、1バイト単位で1バイトから複数バイトに亘る所要バイト数をもった可変長の命令を入出力インタフェース2を介して外部から読み込む。読み込んだ命令は内部バス3から命令制御部4に与えられて解釈され、その解釈結果に応ずる制御信号が実行部5などに与えられることに

情報を受け取り、これをデコードすることによって、そのマクロ命令を実行するための一連のマイクロ命令系列の先頭のマイクロ命令を読み出す。マクロ命令に対応する一連のマイクロ命令系列のうち第2番目以降のマイクロ命令は、特に制限されないが、直前に読み出されたマイクロ命令のネクストアドレスフィールドの情報がマイクロアドレスコントローラ12に供給されることによって指示される。このようにしてマイクロアドレスコントローラ12からマイクロアドレスデコーダ11に順次アドレス情報が出力されて、マイクロROM10がアクセスされると、順番にそのマイクロROM10から読み出されるマイクロ命令がマイクロ命令ラッチ13を介してマイクロ命令デコーダ14に与えられる。このマイクロ命令デコーダ14は、これに供給されるマイクロ命令を解釈して、実行部5などに対する各種制御信号を形成する。

命令制御部4は、特に制限されないが、外部から読み込んだマクロ命令を命令レジスタ15にフ

より、当該実行部5がその命令を実行する。命令の実行に必要なオペランドは、特に制限されないが、内部バス3及び入出力インタフェース2を介して外部から取り込まれ、演算結果などは必要に応じて外部に出力される。

上記実行部5は、特に制限されないが、夫々図示しない、アドレス演算やデータ点残のための演算装置、データレジスタ、アドレスレジスタ、コントロールレジスタ、及びスタックポインタやプログラムカウンタのような各種ポインタレジスタなどを内蔵する。

命令制御部4は、特に制限されないが、マイクロROM(リード・オンリ・メモリ)10を持つ。このマイクロROM10は、マイクロプロセッサ1の動作に必要な各種マイクロ命令の系列から成るマイクロプログラムを含み、マイクロアドレスデコーダ11の出力によってアクセスされる。このマイクロアドレスデコーダ11は、外部から読み込まれたマクロ命令の解釈結果に従ってマイクロアドレスコントローラ12が出力するアドレス

エッチし、フェッチしたマクロ命令を解釈する命令デコーダ16を有する。この命令デコーダ16で解釈された情報は、第1レジスタ17及び第2レジスタ18を介して上記マイクロアドレスコントローラ12に与えられると共に、第2レジスタ18に保持された情報は、命令デコーダ16の入力に戻され、次に解釈すべき情報の解釈を、その戻された情報に基づいて修飾するようになっている。上記第2レジスタ18は、命令レジスタ15から命令デコーダ16に新たな情報が入力されるタイミングに同期してその保持情報を命令デコーダ16の入力に戻すようにマイクロプログラム制御される。この制御は、命令レジスタ15に対する命令のフェッチ制御に整合される。

上記命令デコーダ11の入力に戻される情報は命令長や命令の累計などを示すような情報の解釈結果に応ずる情報であり、命令デコーダ16による上記修飾のための論理はその情報の種類に応じて決定されている。

例えば、命令デコーダ16は、第2レジスタ1

THIS PAGE BLANK (USPTO)

8から命令デコーダ16の入力に戻される前の解釈結果に基づいて現在解釈すべき情報が可変長命令の第何バイト目かを判定し、この判定結果に応じて命令の解釈論理を可変可能に構成される。

この場合の命令デコード動作の一例を、第2図(A)～(F)をも参照しながら説明する。例えばマイクロプロセッサ1で処理可能な可変長命令の形式を第2図(A)～(F)に示される6種類とする。第2図(A)に示される第1命令形式はオペランドを必要としない1バイト命令、第2図(B)に示される第2命令形式はオペランドを必要とする1バイト命令、第2図(C)に示される第3命令形式は2バイト命令、第2図(D)に示される第4命令形式は第3命令形式と異なる形式の2バイト命令、第2図(E)に示される第5命令形式は3バイト命令、第2図(F)に示される第6命令形式は4バイト命令である。各命令形式における先頭バイトの上位2ビットは、特に制限されないが、命令形式指定フィールドIFF1であり、命令のバイト数やオペランド利用の有無な

どを示すコード情報が与えられ、第2バイトや第3バイトの最上位ビットも必要に応じて命令形式指定フィールドIFF2, IFF3を構成している。各命令形式において命令形式指定フィールドIFF1, IFF2, IFF3以外の領域は、オペレーションコード指定フィールド、オペランドのためのアドレッシングモード指定フィールド、実効アドレス指定フィールドなどに割り当てられ、そのバイトごとのフォーマットは、特に制限されないが、先頭バイトは何れも同一であり、第2バイト及び第3バイト目には第1フォーマットFORM1又は第2フォーマットFORM2が適宜選択されている。

第2図に示される形式の可変長命令を解釈する命令デコーダ16は、命令形式指定フィールドIFF1の解釈結果、前の解釈結果に修飾された命令形式指定フィールドIFF2の解釈結果、前の解釈結果に修飾された命令形式指定フィールドIFF3の解釈結果を順次第2レジスタ18を介して入力に帰還させる。第2レジスタに与えられる解釈結

果は、特に制限されないが、000, 001, 010, 100, 111の5通りとされ、その000は次に命令レジスタ15から与えられる情報が命令の先頭バイトであることを意味し、各命令形式の最後をデコードすることによって与えられる。001は2バイト命令の最後が第1フォーマットFORM1であることを意味し、第3命令形式の先頭バイトをデコードすることによって与えられる。010は第2バイト目が第2フォーマットFORM2であることを意味し、第4, 5, 6命令形式の先頭バイトをデコードすることによって与えられる。100は第3バイト目が第2フォーマットFORM2であることを意味し、第5, 6命令形式の第2バイト目をデコードすることによって与えられる。111は4バイト命令の最後が第1フォーマットFORM1であることを意味し、第6命令形式の第3バイト目をデコードすることによって与えられる。第2レジスタ18から命令デコーダ16の入力に帰還される上記3ビットの情報は次に命令レジスタ15から与えられる1バ

イトの情報と共にデコードされ、これによって当該1バイトの情報がどの命令形式の第何バイト目であるかの判定に供され、この判定結果に基づいて当該1バイトの情報が修飾されて当該情報フォーマットに応ずる解釈結果を得る。それと共に、第2レジスタ18には新たに解釈された情報が与えられる。尚、第2レジスタ18はマイクロプロセッサ1のリセット時にはその保持情報が上記000にリセットされる。

このように命令デコーダ16は、可変長の命令をバイト単位で解釈するとき、入力に戻される解釈結果に基づいて、解釈すべき情報がどの命令形式の第何バイト目であるかを判定して、命令の解釈論理を実質的に可変可能にするから、そのデコーダ16を1つ用いるだけで可変長命令の解釈に対処することができる。

次にオペランドのアドレッシングモードを示す情報の解釈結果を入力に戻して、不当命令の検出を行うような論理を命令デコーダ16に採用する場合について第3図をも参照しながら説明する。

THIS PAGE BLANK (USPTO)

この場合、命令デコーダ16にて解釈すべき複数バイトの命令における各バイトのフォーマットは、特に制限されないが、第3図に示されるように、オペレーションコード指定フィールドOPに続いて、オペランドサイズ指定フィールドSZ、及びオペランドのアドレッシングモード指定フィールドAMが設けられ、その後にオペランドの格納位置を指定したり、オペランドとされるイミディエートデータが指定される実効フィールドEFが設けられた構成にされている。この命令の各フォーマットで指定されるオペランドは1であり、オペランドを指定するためのアドレッシングモードは、レジスタ指定、メモリアクセスアドレス指定、又はイミディエート指定の中から任意に設定可能になっている。

ここで、2つのオペランドを用いるコンペア命令と加算命令とを比較すると、前者は第1オペランドと第2オペランドの大小関係を加算器などによる減算処理で比較し、その比較結果はフラグや制御ビットとして所要の回路に与えられるが、後

者の場合には、第1オペランドと第2オペランドを加算し、その結果を第1オペランドの格納場所へ書き込む処理が行われる。したがって、加算命令において第1オペランドがイミディエートデータによって与えられる場合にはその加算結果を格納する領域がないことになる。この説明では、そのような命令を不当命令として検出するため、第1オペランドを加算器に与える命令バイトのアドレッシングモードに対する解釈結果を第2レジスタ18に保持させ、第2オペランドを指定すると共にその第2オペランドと第1オペランドを用いる加算処理を指定するための命令バイトの解釈に際してその第2レジスタ18の保持情報を命令デコーダ16に戻し、当該命令が加算処理である場合に第2レジスタ18から帰還された情報がイミディエート指定に応ずる情報であるときは、命令デコーダ16は、その命令が不当であることを判定し、当該命令の解釈結果に修飾を与えてマイクロフローを例外処理に分岐させるための情報を出力する。

このようにオペランドのアドレッシングモードを示す情報の解釈結果を入力に戻して、不当命令の検出を行うような論理を命令デコーダ16に採用することにより、この命令デコーダ16を1つ用いるだけで、命令を複数回に分けて部分的に解釈しながらその命令を実行させていく場合における不当命令の検出にも対処することができる。

次に第2レジスタ18から入力に戻される前野解釈結果に基づいて、解釈すべき情報を含む領域に対する意味付けを変えてその解釈を行うような論理を命令デコーダ16に採用する場合について第4図をも参照しながら説明する。

複数バイトを含んで成る命令のバイト単位の基本フォーマットは第4図(A)のように構成されるとき、第2番目以降の命令バイトは第4図(B)に示されるフォーマットも採り得るものとする。このとき、第4図(A)に示される基本フォーマットは、特に制限されないが、フォーマット指定フィールドFRM及びオペレーションコード指定フィールドOPに続いて、オペランドが格納され

るレジスタを指定するためのレジスタ指定フィールドOR、オペランドサイズ指定フィールドSZ、及びオペランドのアドレッシングモード指定フィールドAMが設けられ、その後にオペランドのメモリアドレスやオペランドとされるイミディエートデータが指定される実効フィールドEFが設けられた構成にされている。これに対し第4図(B)に示されるフォーマットは、第4図(A)のフォーマットにおけるレジスタ指定フィールドORがオペレーションコード指定フィールドOPの一部に成っている。フォーマット指定フィールドFRMには次に解釈されるべき命令バイトのフォーマット形式を指定する情報が含まれている。この説明では、命令デコーダ16はそのフォーマット指定フィールドFRMの解釈結果を第2レジスタ18を介して入力に受け、この帰還された情報に従って、第2番目以降の命令バイトのフォーマットが第4図の(A)又は(B)に示される何れのフォーマットであるかを判定し、この判定結果に従って、当該命令バイトの解釈に修飾を与える。

THIS PAGE BLANK (USPTO)

このようにフォーマット指定フィールドFRMに対する前野解釈結果に基づいて、命令バイトのフォーマットに対する意味付けを変更して解釈可能な論理を命令デコーダ16に採用することにより、この命令デコーダ16を1つ用いるだけで、1つの命令を構成する複数の命令バイトの相互に異なるフォーマットに対応して適切な解釈を与えることを実現する。

次に、1つの命令に含まれる複数の命令バイトの1つにオペレーションの種類を指定するオペレーションコードが含まれ、他の命令バイトにはそのオペレーションの種類に対する詳細を指定するオペレーションコードが含まれる形式の命令を解釈する論理を命令デコーダ16に採用する場合について第5図をも参照しながら説明する。

例えば第5図に示される2バイト命令の先頭命令バイトBs及び最終命令バイトBeの夫々がオペレーションコード指定フィールドOPとオペランド指定フィールドODによって構成されるとき、先頭命令バイトBsのオペレーションコード指定

フィールドOPには演算の種類が符号付きか符号無しかを指定するためのコード情報が設定され、最終命令バイトBeのオペレーションコード指定フィールドOPには加算や乗算などの演算の種類を指定するためのコード情報が設定されている。命令デコーダ16は、最初に先頭命令バイトBsを解釈したとき、オペレーションコードの内容を第2レジスタ18に与え、最終命令バイトBeの解釈に際して第2レジスタ18から受け取った情報も解釈し、符号付き演算又は符号無し演算のためのマイクロフローを選択するようにオペレーションコードの解釈に修飾を与える。

このようにオペレーションコードによって指定される処理の詳細を示すための情報の解釈結果を入力に戻して別のオペレーションコードの解釈を修飾するような論理を命令デコーダ16に採用することにより、この命令デコーダ16を1つ用いるだけで、1つの命令に演算の種類とその詳細な処理を指定するためのオペレーションコードが別々に含まれるような命令にも対処することができ

る。

上記実施例によれば以下の作用効果を得るものである。

(1) 命令に関する前の解釈結果の一部を入力に戻し、その戻された情報に基づいて、命令の解釈に修飾を与える命令デコーダ16は、可変長の命令をバイトのような単位毎に解釈するとき、入力に戻される解釈結果に基づいて、解釈すべき情報がどの命令形式の第何バイト目であるかを判定して、命令の解釈論理を実質的に可変可能にするから、そのデコーダ16を1つ用いるだけで可変長命令の解釈に対処することができる。

(2) オペランドのアドシレングモードを示す情報の解釈結果を入力に戻して、不当命令の検出を行うような論理を命令デコーダ16に採用することにより、この命令デコーダ16を1つ用いるだけで、命令を複数回に分けて部分的に解釈しながらその命令を実行させていく場合における不当命令の検出にも対処することができる。

(3) フォーマット指定フィールドFRMに対す

る先の解釈結果に基づいて、命令バイトのフォーマットに対する意味付けを変更して解釈可能な論理を命令デコーダ16に採用することにより、この命令デコーダ16を1つ用いるだけで、1つの命令を構成する複数の命令バイトの相互に異なるフォーマットに対応して適切な解釈を与えることができる。

(4) オペレーションコードによって指定される処理の詳細を示すための情報の解釈結果を入力に戻して別のオペレーションコードの解釈を修飾するような論理を命令デコーダ16に採用することにより、この命令デコーダ16を1つ用いるだけで、1つの命令に演算の種類とその詳細な処理を指定するためのオペレーションコードが別々に含まれるような命令にも対処することができる。

(5) 命令に関する前の解釈結果の一部を入力に戻し、その戻された情報に基づいて、命令の解釈に修飾を与える命令デコーダ16は、バイトを解釈単位とするような複数バイトから成る命令に対し、2バイト以上の解釈に共通利用可能とされ、

THIS PAGE BLANK (USPTO)

これにより、命令を複数回に分けて部分的に解釈しながらその命令を実行させるデコード部の小型化を達成することができる。したがって、PLAやPALなどによって構成される命令デコーダの高速動作上プリチャージ回路やセンスアンプなどの周辺回路が必要になっても、また、マイクロプロセッサの高機能化によって命令が複雑になったり命令の語数が多くなってデコード部による解釈論理が複雑化しても、デコード部によるチップ占有面積の増大を抑えることができる。

(6) 命令デコーダ16の入力に帰還させるべき情報を保持すると共に、命令レジスタ15から命令デコーダ16に新たな情報が入力されるタイミングに同期してその保持情報を命令デコーダ16の入力に戻すようにマイクロプログラム制御された第2レジスタ18を設けることにより、命令の解釈結果を命令デコーダ16の入力に戻す制御を、命令レジスタ15に命令をフェッチするための制御手順に容易に整合させることができる。

以上本発明者によってなされた発明を実施例に

少なくとも命令を解釈してデータ処理を行う条件のものに適用することができる。

(発明の効果)

本願において開示される発明の内代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

すなわち、命令の解釈結果の一部又は全部を入力に戻し、その戻された情報に基づいて、当該命令に含まれる残りの情報の解釈に修飾を与える命令デコーダを採用するから、命令を複数回に分けて部分的に解釈しながらその命令を実行させるデコード部の小型化を達成することができるという効果がある。

したがって、PLAやPALなどによって構成される命令デコーダの高速動作上プリチャージ回路やセンスアンプなどの周辺回路が必要になっても、また、データ処理の高機能化によって命令が複雑になったり命令の語数が多くなってデコード部による解釈論理が複雑化しても、デコード部によるチップ占有面積の増大を抑制することができ

基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更することができる。

例えば上記実施例ではマイクロROMを利用する場合について説明したが、その部分をワイヤードロジック化してもよい。また、第2レジスタ18の保持情報は専用的に命令デコーダの入力に戻すようにしてもよい。また、命令フォーマットや命令の語数は上記実施例に限定されず適宜変更することができる。また、命令デコーダの解釈単位はバイトに限定されずワード又はロングワードなど適宜の単位にすることができる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマイクロプロセッサに適用した場合について説明したが、本発明はそれに限定されるものではなく、周辺回路を同一半導体チップに内蔵する所謂シングルチップマイクロコンピュータ、コプロセッサ、さらにはインテリジェント化された周辺コントローラなどにも広く適用することができる。本発明は

るようになる。

また、命令デコーダに新たな情報が入力されるタイミングに同期して保持情報を命令デコーダの入力に与えるレジスタを設けることにより、命令の解釈結果を命令デコーダの入力に戻す制御を命令フェッチのための制御手順に容易に整合させることができる。

そして、命令デコーダの入力に戻される情報を、命令長や命令の類型、さらにはアドレッシングモードを示すような情報などの解釈結果とすると、それら情報に応じて命令デコーダによる修飾のための論理を決定しておくことにより、その命令デコーダを1つ用いるだけで、可変長命令の解釈や、不当命令の検出に対処したり、1つの命令を構成する複数の単位の相互に異なるフォーマットに対応して適切な解釈を与えることができ、さらに、1つの命令に演算の種類とその詳細な処理を指定するためのオペレーションコードが別々に含まれるような命令にも対処することができるようになる。

THIS PAGE BLANK (USPTO)

4. 図面の簡単な説明

第1図は本発明の一実施例であマイクロプロセッサのブロック図。

第2図(A)～(F)は夫々可変長命令形式の一例を示すフォーマット図。

第3図は命令デコーダによる不当命令検出に適用される命令の一例を示すフォーマット図。

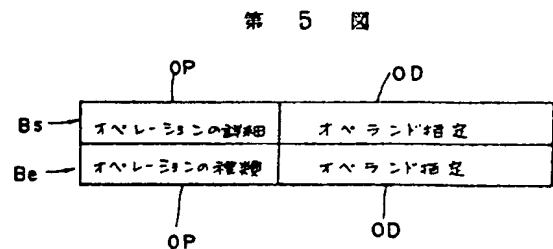
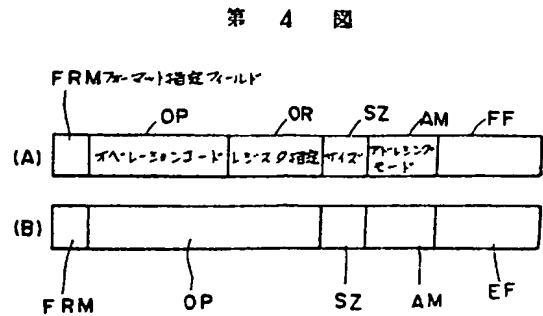
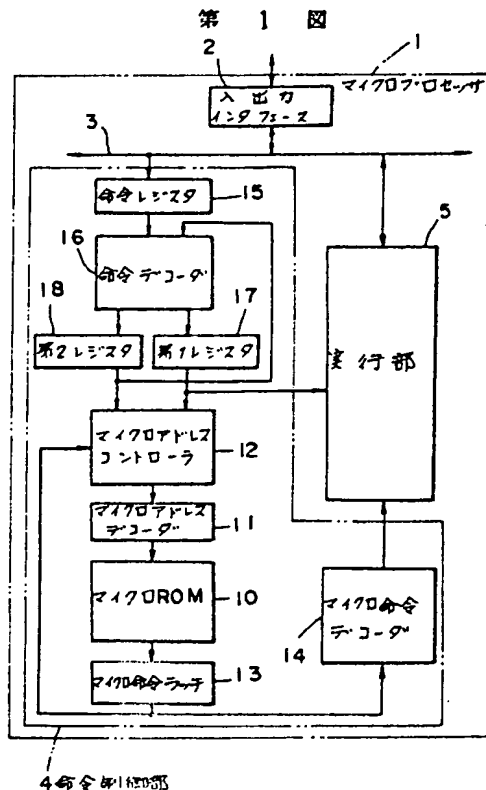
第4図(A)、(B)は夫々フォーマット指定フィールドを備えた命令の一例を示すフォーマット図。

第5図は演算の種類とその詳細を別々に指定するためのオペレーションコード指定領域を有する命令の一例を示すフォーマット図である。

1…マイクロプロセッサ、4…命令制御部、5…実行部、10…マイクロROM、11…マイクロアドレスデコーダ、12…マイクロアドレスコントローラ、14…マイクロ命令デコーダ、15…命令レジスタ、16…命令デコーダ、17…第1レジスタ、18…第2レジスタ、IFF1、IFF2、IFF3…命令形式指定フィールド、OP…オペレーションコ

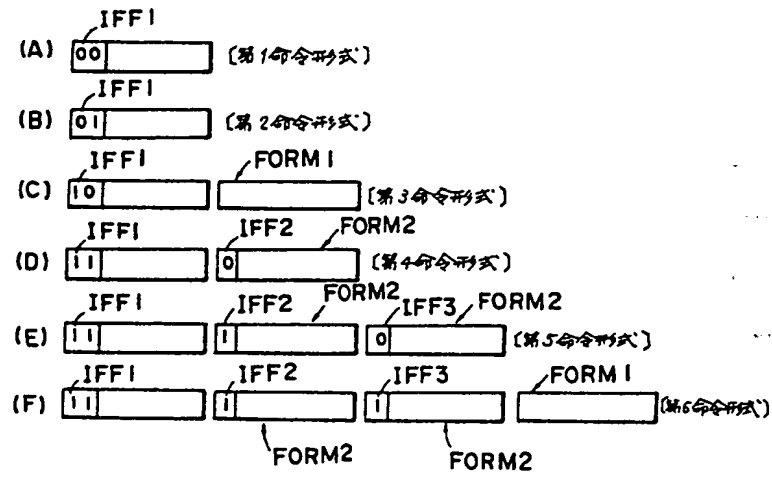
ード指定フィールド、SZオペランドサイズ指定フィールド、AM…アドレッシングモード指定フィールド、EF…実効フィールド、FRM…フォーマット指定フィールド。

代理人 弁理士 小川 勝 男

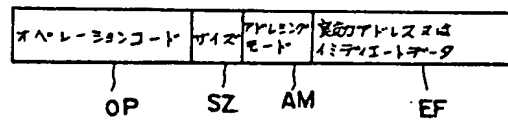


THIS PAGE BLANK 119970

第 2 図



第 3 図



DOCKET NO: P2001,0304
SERIAL NO: 10/694,591
APPLICANT: Hartlieb et al.
LERNER AND GREENBERG P.A.
P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100

THIS PAGE BLANK (USPTO)